

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : Shu-Jung MA
Application No. : New Application
Filed : April 9, 2004
Title : PACKAGE SUBSTRATE FOR IMPROVING
ELECTRICAL PERFORMANCE
Docket No. : BHT/3183-66

MAIL STOP NEW APPLICATION

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

CLAIM TO PRIORITY UNDER 35 U.S.C. § 119

Sir:

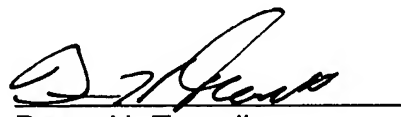
Pursuant to the provisions of 35 U.S.C. § 119 and 37 C.F.R. § 1.55, Applicant hereby claims priority from Taiwan Patent Application No. 092206235, filed on April 17, 2003. A certified copy of this application is enclosed.

Acknowledgment of the receipt of the claim to priority, along with the certified copy of the priority document is respectfully requested.

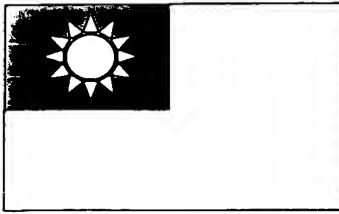
Respectfully submitted,

Date: April 9, 2004

By:


Bruce H. Troxell
Reg. No. 26,592

TROXELL LAW OFFICE PLLC
5205 Leesburg Pike, Suite 1404
Falls Church, Virginia 22041
Telephone: (703) 575-2711
Telefax: (703) 575-2707



BHT-3183-66

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 04 月 17 日
Application Date

申請案號：092206235
Application No.

申請人：日月光半導體製造股份有限公司
Applicant(s)

局長
Director General

蔡 練 生

發文日期：西元 2003 年 11 月 12 日
Issue Date

發文字號：09221144440
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

新型專利說明書

一、 新型名稱	中 文	提升電氣特性之封裝基板
	英 文	Package substrate for improving electrical performance
二、 創作人 (共1人)	姓 名 (中文)	1. 馬淑蓉
	姓 名 (英文)	1. Shu-Jung Ma
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (中 文)	1. 高雄市楠梓區後昌路243號
	住居所 (英 文)	1. No. 243, Houchang Rd., Nantz Chiu, Kaohsiung, Taiwan 811, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 日月光半導體製造股份有限公司
	名稱或 姓 名 (英文)	1. Advanced semiconductor Engineering, Inc.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 高雄市楠梓加工出口區經三路26號 (本地址與前向貴局申請者不同)
	住居所 (營業所) (英 文)	1. No. 26, Chin 3rd Rd., Nantze Export Processing Zone, Kaohsiung, Taiwan, R.O.C.
	代表人 (中文)	1. 張虔生
	代表人 (英文)	1. Jason Chang



四、中文創作摘要 (創作名稱：提昇電氣特性之封裝基板)

一種提昇電氣特性之封裝基板，其包含有至少一絕緣層、一線路層及一接地/電源層，該線路層係形成於該絕緣層之上表面並且包含有複數個內接墊、外接墊，用以電性連接一晶片，該絕緣層係設有複數個導通孔，其電性連接對應之內接墊與外接墊，而該接地/電源層係形成於該絕緣層之下表面，該接地/電源層設有複數個開口，每一開口係供複數個導通孔通過且該些內導通孔不電性導接至該接地/電源層，該些導通孔係緊密圍集於每一開口，如矩陣排列或放射排列，使得相鄰開口之間形成有一大面積之直條狀接地/電源層，其最小寬度係不小於0.2mm，以達提昇該封裝基板之電氣特性之效。

陸、英文創作摘要 (創作名稱：Package substrate for improving electrical performance)

A package substrate for improving electrical performance comprises at least an insulating layer, a wiring layer and a ground/power layer. The wiring layer is formed on an upper surface of the insulating layer, and includes a plurality of inner fingers and a plurality of outer fingers for electrically connecting a chip. The insulating layer has a plurality of electrical through holes which electrically connect with corresponding inner fingers and outer fingers. The ground/power layer is formed on a lower surface of the



四、中文創作摘要 (創作名稱：提昇電氣特性之封裝基板)

伍、(一)、本案代表圖為：第__3__圖

(二)、本案代表圖之元件代表符號簡單說明：

123 內導通孔

140 接地層

141 開口

142 電流通道

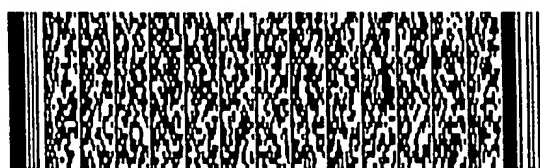
161 接地導通孔

171 電源導通孔

180 第二絕緣層

陸、英文創作摘要 (創作名稱：Package substrate for improving electrical performance)

insulating layer, and includes a plurality of openings. Each opening is used for permitting the plurality of through holes to pass through but without electrical connecting between the through holes and the ground/power layer. The through holes are closely grouped in grid array or radical arrangement in each corresponding opening so as to form an area-expanded ground/power layer in strip configuration having a minimum width not less than 0.2mm in order to improve electrical performance of the package substrate.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第一百零五條準用
第二十四條第一項優先權

二、☐主張專利法第一百零五條準用第二十五條之一第一項優先權：

申請案號：

日期：

三、主張本案係符合專利法第九十八條第一項☐第一款但書或☐第二款但書規定之期間

日期：



五、創作說明 (1)

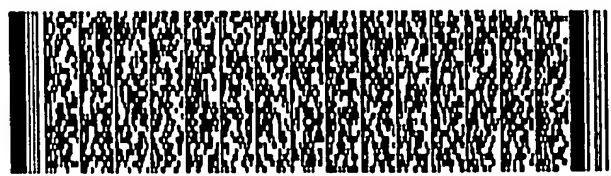
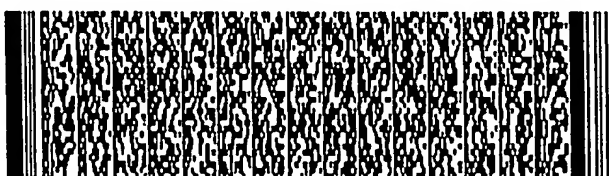
【 新型所屬之技術領域 】

本創作係有關於一種適用半導體封裝之封裝基板，特別係有關於一種具有接地/電源層改良結構以提昇電氣特性之封裝基板。

【 先前技術 】

習知適用半導體封裝之封裝基板係供承載及電性連接一半導體晶片，封裝基板之線路設計應被要求能電性連接該晶片之訊號電極、接地電極及電源電極，如原申請人於我國專利公告第490818號「半導體晶片封裝基板」所揭示之封裝基板，該基板之上表面包含有一晶片覆蓋區、一接地環及一電源環，而該基板之下表面包含複數個第一接墊及第二接墊，以供鉅球之結合，其中該些第一接墊係位於該接地環及該電源環週邊之正下方並區分為兩組，第一組係電性連接該接地環，用以導接一晶片之接地電極，第二組係電性連接該電源環，用以導接一晶片之電源電極，該些第二接墊係環設於該些第一接墊，用以導接一晶片之訊號電極。

然而，為了提昇接地及電源效能，有必要在該基板之內層疊合一層以上之接地層與電源層，如原申請人於我國專利公告第434664號「鉅引線形式晶片封裝構造及其製造方法」，其揭示有一種用於晶片封裝構造之多層基板，其包含有一夾層電路板，該夾層電路板具有一接地面及一電源面，用以提供接地電位與電壓源，但是當該多層基板形成有複數個大量用以電性連接〔訊號〕接墊之導通孔時，



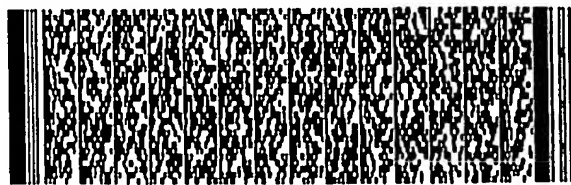
五、創作說明 (2)

該些導通孔在電性設計上不可與該接地及電源金屬層〔接地或電源面〕電性連接，因此，該接地及電源層需要開設複數個開口，以供該些導通孔通過，然而，當該些導通孔過多且呈不規則任意設置時，將會減損該封裝基板之電氣效能。

【新型內容】

本創作之主要目的係在於提供一種提昇電氣特性之封裝基板，係利用複數個貫通且如矩陣排列般之內導通孔，該些內導通孔其係電性連接於對應之內接墊，且使其緊密圍集於一接地/電源層之每一開口，藉此在相鄰開口之間形成一大面積之接地/電源層，以提昇電氣特性。

依本創作之提昇電氣特性之封裝基板，該封裝基板係包含有一第一絕緣層、一線路層以及至少一接地/電源層，該第一絕緣層係具有一上表面及一下表面，該上表面具有一晶片接合區，而該線路層係形成於該第一絕緣層之上表面，該線路層係包含有複數個內接墊與複數個外接墊，用以電性連接一晶片，而該第一絕緣層設有複數個內導通孔與複數個外導通孔，分別電性連接對應之內接墊與外接墊，該接地/電源層係設於該第一絕緣層之下表面，且該接地/電源層係設有複數個開口，每一開口係容許複數個內導通孔通過且該些內導通孔不電性導接至該接地/電源層，該些內導通孔係如矩陣排列或放射排列方式緊密圍集於對應開口，如放射狀線形排列，使得相鄰開口之間形成有一大面積且完整之接地/電源層，較佳地，該接地/



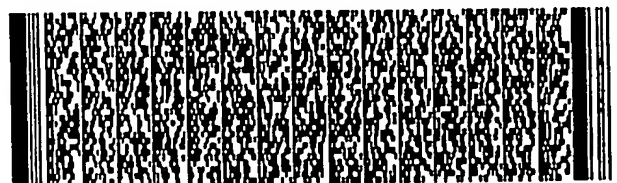
五、創作說明 (3)

電源層係呈直條片狀，其最小寬度不小於0.2mm，以提昇電氣特性。

【實施方式】

參閱所附圖式，本創作將列舉以下之實施例說明。

請參閱第1圖，本創作之提昇電氣特性之封裝基板100係主要包含有一第一絕緣層110、一線路層以及至少一接地/電源層〔區分為一接地層140與一電源層150〕，其中該第一絕緣層110係FR-4、FR-5或BT resin等玻璃纖維強化樹脂或聚亞醯胺之軟質絕緣層，該第一絕緣層110係具有一上表面111及一下表面112，該上表面111係預設有一晶片接合面113，以供半導體晶片200之結合〔請參閱第4圖〕，而該線路層係形成於該第一絕緣層110之上表面111，請參閱第1及2圖，該線路層係主要包含有複數個內接墊121〔inner finger〕、外接墊131〔outer finger〕、導線122、132〔trace〕，在本實施例中，該線路層更包含有圍繞該晶片接合區113之一接地金屬環160〔ground metal ring〕及一電源金屬環170〔power metal ring〕，其中依接墊之距離區分出該些內接墊121與外接墊131，該些內接墊121係距離該晶片接合區113較近，該些外接墊131係距離該晶片接合區113較遠，該些內接墊121與外接墊131均用以電性連接一晶片200之電性訊號，使得該封裝基板100適用於高密度端點半導體晶片之承載導接，並且，該些內接墊121係以對應之線路122電性連接至複數個內導通孔123〔via〕，該些內導通孔123係

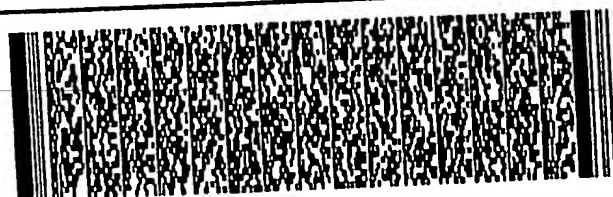
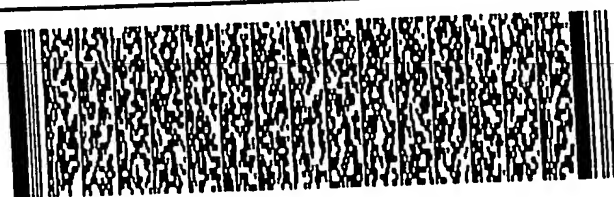


五、創作說明 (4)

設於該第一絕緣層110並貫通該上表面111與該下表面112，該些外接墊131係以對應之線路132電性連接至複數個外導通孔133，該些外導通孔133係設於該第一絕緣層110並貫通該上表面111與該下表面112。

在本實施例中，請參閱第1及3圖，該用以連接一接地電位之接地層140 (ground layer) 係設於該第一絕緣層110之下表面112，該接地層140係為一銅箔或其它金屬箔片，且該封裝基板110可另包含有一第二絕緣層180，該第二絕緣層180亦設於第一絕緣層110之下表面112，使得該接地層140層疊於該第一絕緣層110與第二絕緣層180之間，該第一絕緣層110係另設有至少一接地導通孔161，以電性連接在不同平面之該接地金屬環160與該接地層140，該接地層140係設有複數個開口141，每一開口141係呈長條狀或規則圓狀，使得每一開口141能容許該些內導通孔123通過且該些內導通孔123不電性導接至該接地層140，該些內導通孔123係緊密圍集於對應開口141，如單條線形排列或多條線形等矩陣排列或放射狀排列方式形成於每一對應開口141內，使得相鄰開口141之間形成有一大面積且完整之直條片狀接地層，較佳地，該相鄰開口141之間的直條片狀接地層之最小寬度係不小於0.2mm，作為一大面積之電流通道142，以提昇電氣特性，在本實施例中，該些開口141係以朝向該晶片接合區113方式放射狀開設於該接地層140。

此外，在該第二絕緣層180之下表面可形成有一電源



五、創作說明 (5)

層150，並且該封裝基板100設有至少一電源導通孔171，該電源導通孔171係貫通該第一絕緣層110與該第二絕緣層180，而電性連接該電源金屬環170與該電源層150，該電源層150係開設有複數個開口151，以容許該些內導通孔123通過且該些內導通孔123不電性導接至該電源層150，由於該些內導通孔123係緊密地圍集排列於該些每一開口151，該些開口151亦如上述該接地層140之開口141般，在相鄰開口151之間形成有一大面積且完整之電源層〔圖未繪出〕，以提昇電氣特性。

請參閱第4圖，當上述之封裝基板100運用於一半導體封裝時，一如微處理器、微控制器或高端子數晶片之半導體晶片200係貼附於該封裝基板100之晶片接合區113，該晶片200係具有複數個鐳墊210於晶片主動面〔active surface〕，該些鐳墊210包含有接地鐳墊、電源鐳墊與訊號鐳墊，該晶片200之接地鐳墊210係可利用打線形成之鐳線221連接至該接地金屬環160，而該晶片200之電源鐳墊210係以鐳線222連接至該電源金屬環170，該晶片200之訊號鐳墊210之部份係以鐳線223連接至該些內接墊121，該晶片200之其它訊號鐳墊210係以鐳線224連接至該些外接墊131，利用該些內導通孔123、該接地層140與該電源層150之該些開口141、151的設計，使得該接地層140與該電源層150形成有較大且較完整之接地/電源面積，以提昇整體半導體封裝之電氣特性。

此外，本創作並不局限絕緣層及線路層之層數，可在

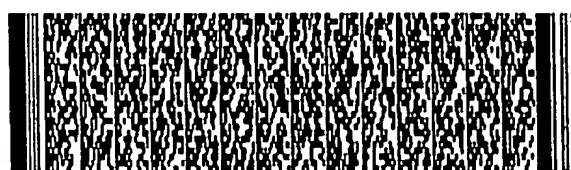
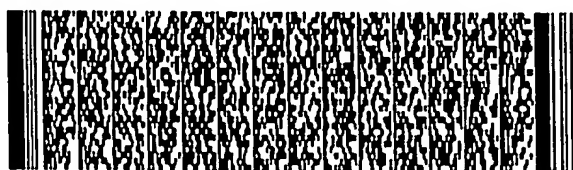


五、創作說明 (6)

第二絕緣層180之下表面形成有一第三絕緣層190或更多絕緣層與線路層，而可在該封裝基板100之最下層絕緣層形成有複數個接球墊（圖未繪出），其電性導接對應之內接墊121、外接墊131、接地金屬環160或電源金屬環170，以供接合鐳球。

再者，本創作並不限定該接地層140與該電源層150之相對位置，該電源層150之位置亦可形成於該第一絕緣層110之下表面112或其它絕緣層之下表面。此外，在不影響相鄰開口141、151間之接地/電源層140、150寬度狀態下，該些內導通孔123亦可較寬鬆地設於該封裝基板100，使得該接地/電源層140、150之每一開口係可針對每一內導通孔123個別設計而緊密規則地排列，如係矩陣排列或放射排列於該接地/電源層140、150。

本創作之保護範圍當視後附之申請專利範圍所界定者為準，任何熟知此項技藝者，在不脫離本創作之精神和範圍內所作之任何變化與修改，均屬於本創作之保護範圍。



圖式簡單說明

【圖式簡單說明】

- 第1 圖：本創作之一具體實施例，一種提昇電氣特性之封裝基板之截面示意圖；
- 第2 圖：本創作之一具體實施例，該提昇電氣特性之封裝基板之第一絕緣層之上表面示意圖；
- 第3 圖：本創作之一具體實施例，該提昇電氣特性之封裝基板之形成有接地/電源層之截面示意圖；及
- 第4 圖：本創作之一具體實施例，該提昇電氣特性之封裝基板運用於一半導體封裝結構之部分截面示意圖。

元件符號簡單說明：

100	封裝基板	110	第一絕緣層	
111	上表面	112	下表面	113 晶片接合區
121	內接墊	122	導線	123 內導通孔
131	外接墊	132	導線	133 外導通孔
140	接地層	141	開口	142 電流通道
150	電源層	151	開口	
160	接地金屬環	161	接地導通孔	
170	電源金屬環	171	電源導通孔	
180	第二絕緣層	190	第三絕緣層	
200	晶片	210	鉑墊	
221, 222, 223, 224	鉑線			



六、申請專利範圍

【申請專利範圍】

1、一種提升電氣特性之封裝基板，包含：

一第一絕緣層，具有一上表面及一下表面；

複數個內接墊，設於該第一絕緣層之上表面，用以電性連接一晶片；

複數個外接墊，設於該第一絕緣層之上表面，用以電性連接一晶片；

複數個外導通孔，設於該第一絕緣層，該些外導通孔係電性連接至對應外接墊；

複數個內導通孔，設於該第一絕緣層，該些內導通孔係電性連接對應內接墊；及

一接地/電源層，設於該第一絕緣層之下表面，該接地/電源層係設有複數個開口，每一開口係容許複數個內導通孔通過且該些內導通孔不電性導接至該接地/電源層，該些內導通孔係緊密圍集於對應開口。

2、如申請專利範圍第1項所述之提升電氣特性之封裝基板，其中該介於兩相鄰開口之間的接地/電源層之最小寬度係不小於0.2mm。

3、如申請專利範圍第1項所述之提升電氣特性之封裝基板，其中該介於兩相鄰開口之間的接地/電源層係為直條片狀。

4、如申請專利範圍第1項所述之提升電氣特性之封裝基板，其中該複數個內導通孔係矩陣排列或放射排列設於對應之開口內。



六、申請專利範圍

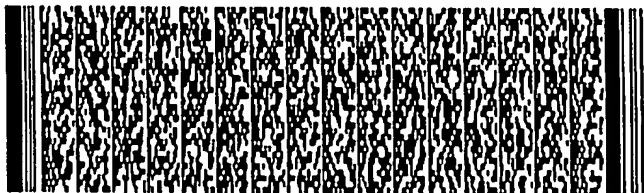
- 5、如申請專利範圍第1項所述之提升電氣特性之封裝基板，其中該第一絕緣層之上表面係具有一晶片接合區。
- 6、如申請專利範圍第5項所述之提升電氣特性之封裝基板，其中該些開口係以朝向該晶片接合區方式放射狀開設於該接地/電源層。
- 7、如申請專利範圍第5項所述之提升電氣特性之封裝基板，其另包含有一金屬環，設於該第一絕緣層之上表面且環繞於該晶片接合區。
- 8、如申請專利範圍第1項所述之提升電氣特性之封裝基板，其另包含有一第二絕緣層，設於該第一絕緣層之下表面，以層疊該接地/電源層。
- 9、如申請專利範圍第1項所述之提升電氣特性之封裝基板，其中該第二絕緣層之下表面係形成有另一接地/電源層。
- 10、一種提升電氣特性之封裝基板，包含：
 - 一第一絕緣層，具有一上表面及一下表面；
 - 複數個內接墊，設於該第一絕緣層之上表面，用以電性連接一晶片；
 - 複數個外接墊，設於該第一絕緣層之上表面，用以電性連接一晶片；
 - 複數個外導通孔，設於該第一絕緣層，該些外導通孔係電性連接至對應外接墊；
 - 複數個內導通孔，設於該第一絕緣層，該些內導通孔係電性連接對應內接墊；及



六、申請專利範圍

一 接地/電源層，設於該第一絕緣層之下表面，該接地/電源層係設有複數個開口，每一開口係容許至少一內導通孔通過且該內導通孔不電性導接至該接地/電源層，該些開口係緊密圍集於該接地/電源層，以提昇電氣特性。

- 11、如申請專利範圍第10項所述之提升電氣特性之封裝基板，其中該介於該些開口之間之接地/電源層係為直條片狀。
- 12、如申請專利範圍第11項所述之提升電氣特性之封裝基板，其中該直條片狀接地/電源層之最小寬度係不小於0.2mm。
- 13、如申請專利範圍第10項所述之提升電氣特性之封裝基板，其中該複數個開口係矩陣排列或放射排列於該接地/電源層。
- 14、如申請專利範圍第10項所述之提升電氣特性之封裝基板，其中該第一絕緣層之上表面係具有一晶片接合區。
- 15、如申請專利範圍第14項所述之提升電氣特性之封裝基板，其另包含有一金屬環，設於該第一絕緣層之上表面且環繞於該晶片接合區。
- 16、如申請專利範圍第10項所述之提升電氣特性之封裝基板，其另包含有一第二絕緣層，設於該第一絕緣層之下表面，以層疊該接地/電源層。
- 17、如申請專利範圍第10項所述之提升電氣特性之封裝

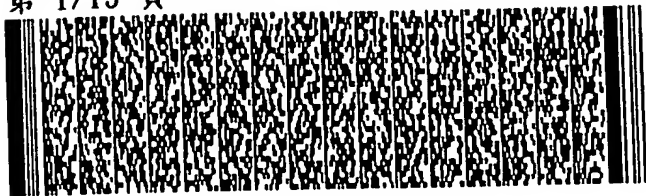


六、申請專利範圍

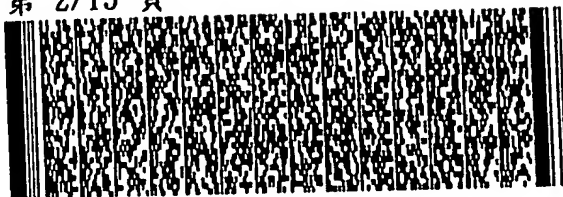
基板，其中該第二絕緣層之下表面係形成有另一接地
電源層。



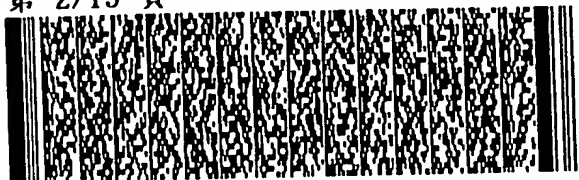
第 1/15 頁



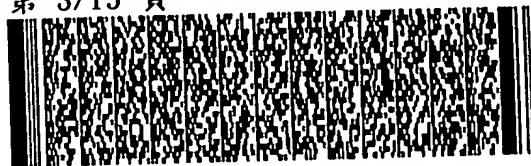
第 2/15 頁



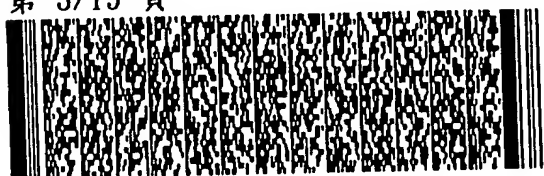
第 2/15 頁



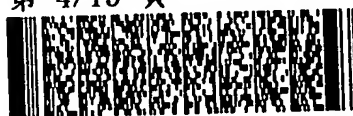
第 3/15 頁



第 3/15 頁



第 4/15 頁



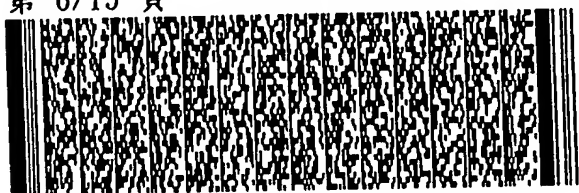
第 5/15 頁



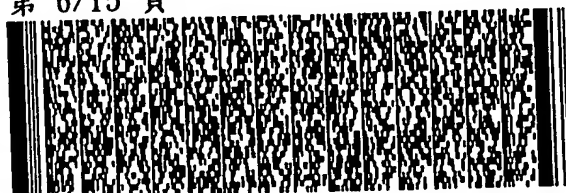
第 5/15 頁



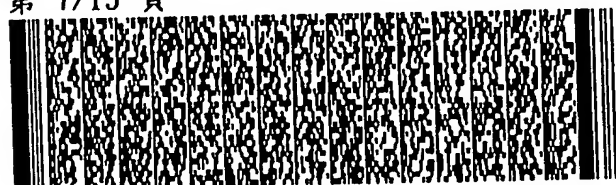
第 6/15 頁



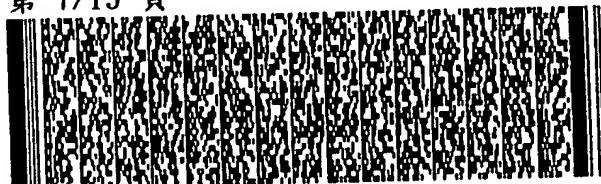
第 6/15 頁



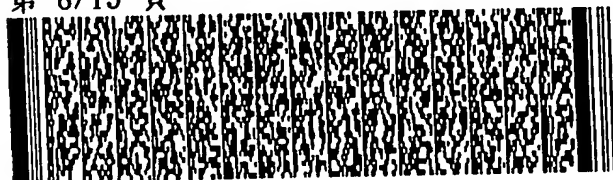
第 7/15 頁



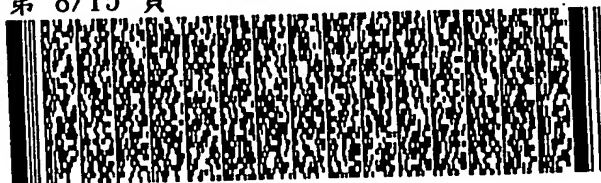
第 7/15 頁



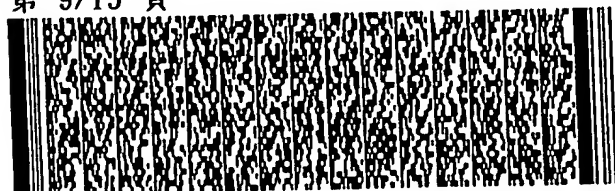
第 8/15 頁



第 8/15 頁



第 9/15 頁



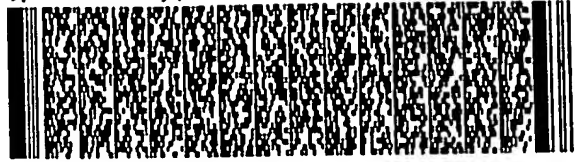
第 9/15 頁



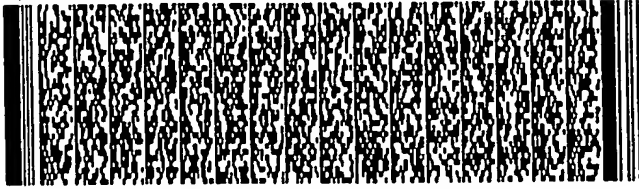
第 10/15 頁



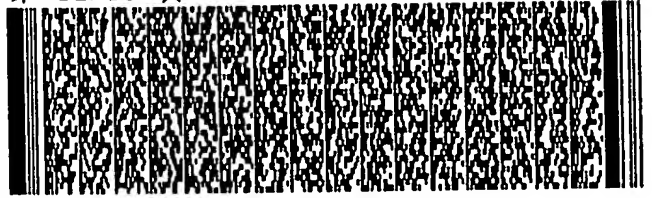
第 10/15 頁



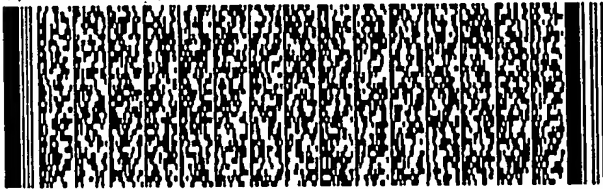
第 11/15 頁



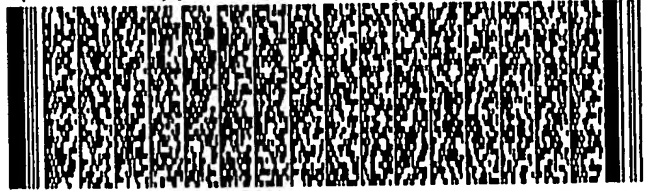
第 12/15 頁



第 13/15 頁

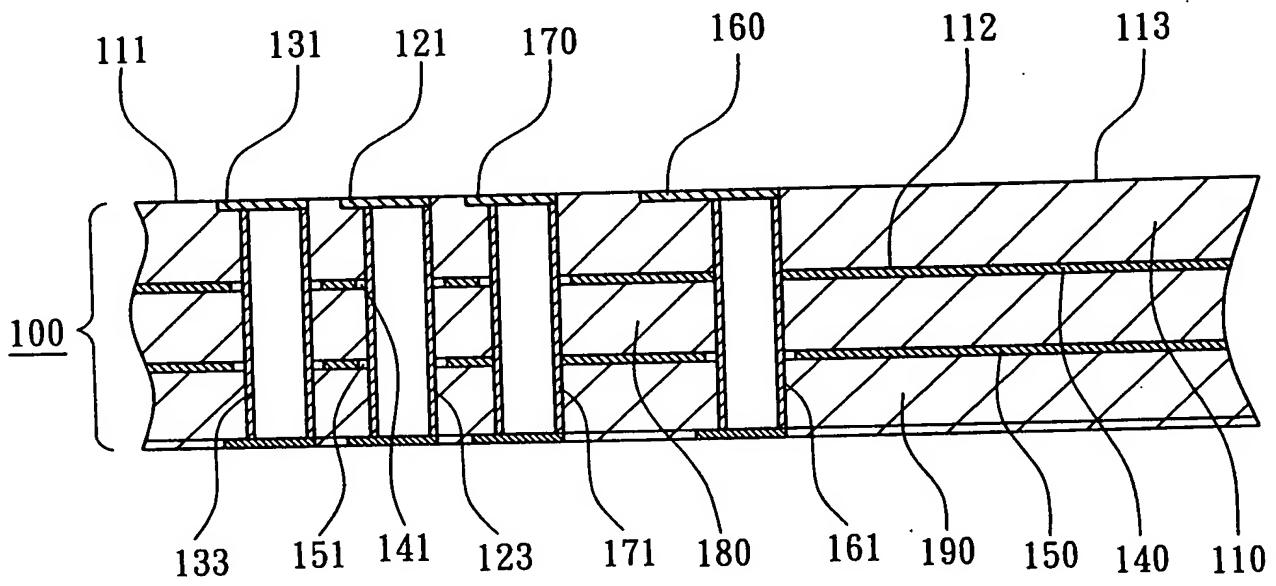


第 14/15 頁

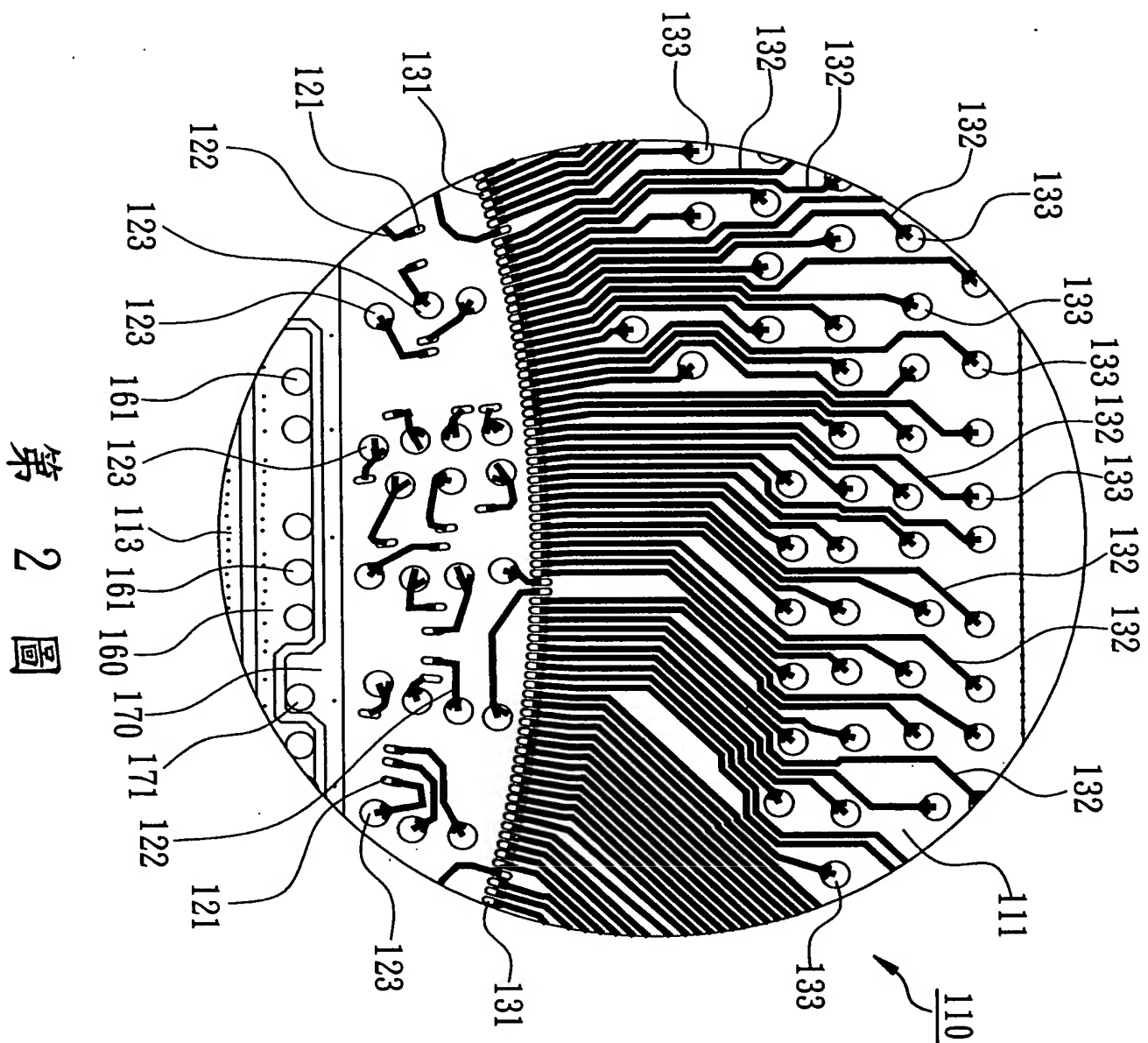


第 15/15 頁

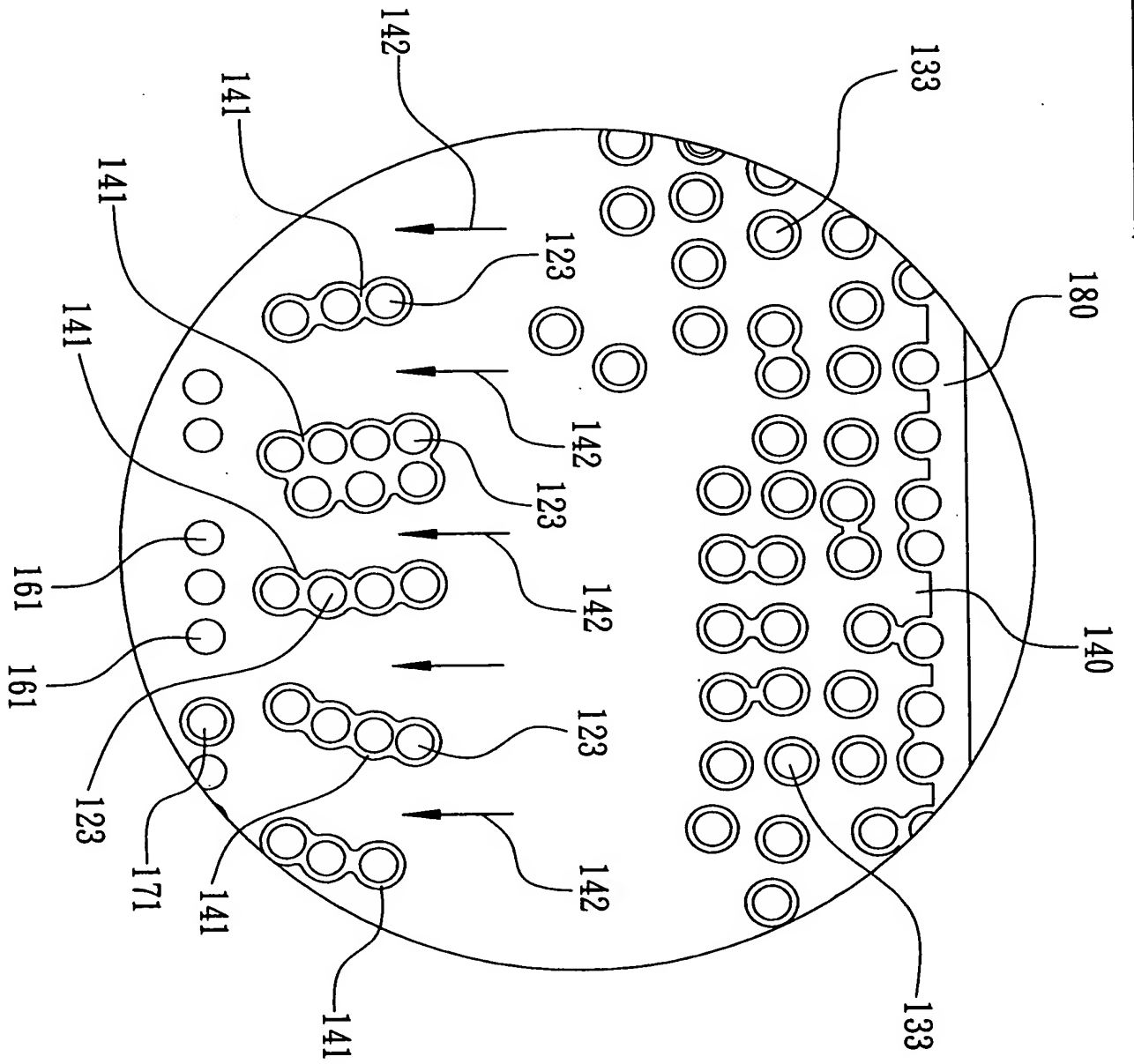




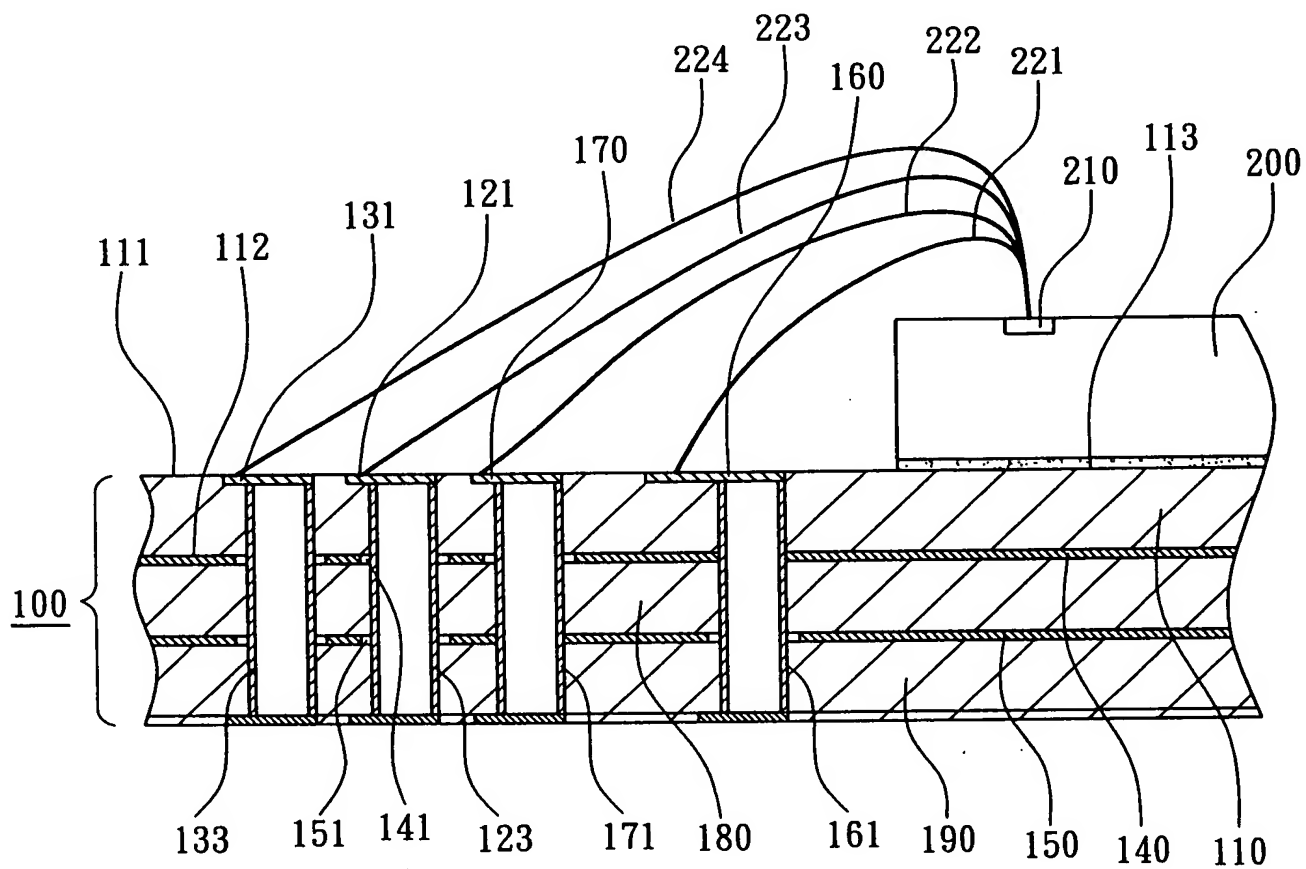
第 1 圖



第 2 圖



第 3 圖



第 4 圖